

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020034

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 10-198100

(71)Applicant : CANON INC

(22)Date of filing : 30.06.1998

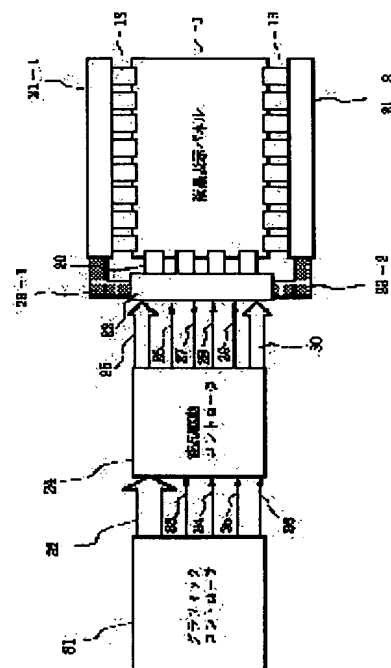
(72)Inventor : ONO TOMOYUKI
MIZUTOME ATSUSHI

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To cope with increase in transfer of picture data.

SOLUTION: The device is equipped with a display panel 1 in which a scanning signal electrode and an information signal electrode are arranged in matrix, with information signal line drivers 18, 19 arranged on both sides of the display panel 1 so as to impress the information signal to its electrode, and with a drive controller 24 which transfers picture data and the sampling clock to these information signal line drivers 18, 19 on both sides; these drivers 18, 19 sample the picture data from their signals by a sampling clock to generate the information signals. In the above picture display device, sampling is performed in such a manner that the driver 18 on one side samples with the rise timing of the sampling clock and that the driver 19 on the other side samples with the fall timing.



LEGAL STATUS

[Date of request for examination]

21.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20034

(P2000-20034A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	チーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 M 5 C 0 8 0

審査請求 未請求 請求項の数 7 F D (全 14 頁)

(21) 出願番号 特願平10-198100

(22) 出願日 平成10年6月30日 (1998. 6. 30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 大野 智之

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 水留 敦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100086287

弁理士 伊東 哲也 (外2名)

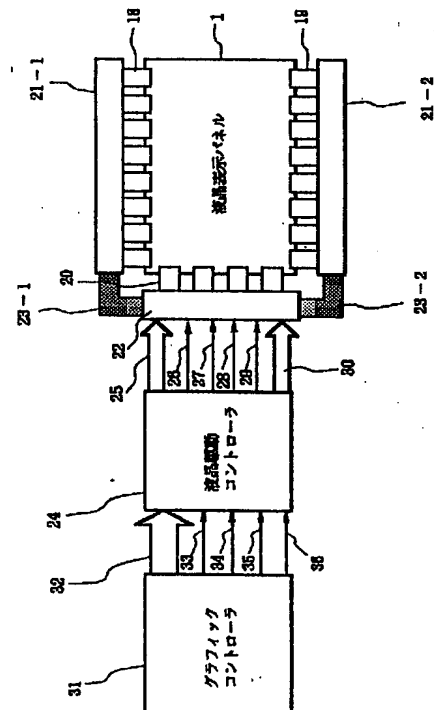
最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 画像データの転送量の増加に対応できるようにする。

【解決手段】 走査信号電極と情報信号電極がマトリクス状に配置された表示パネル1と、前記情報信号電極に情報信号を印加するように前記表示パネルの両側に配置された情報信号線ドライバ18、19と、これら両側の情報信号線ドライバに画像データおよびそのサンプリングクロックを転送する駆動コントローラ24とを備え、前記両側の情報信号線ドライバは前記サンプリングクロックにより前記画像データの信号から画像データをサンプリングして前記情報信号を生成する画像表示装置において、一方の側の情報信号線ドライバ18は前記サンプリングクロックの立上りのタイミングにおいて前記サンプリングを行い、他方の側の情報信号線ドライバ19は前記サンプリングクロックの立下りのタイミングにおいて前記サンプリングを行う。



【特許請求の範囲】

【請求項1】 走査信号電極と情報信号電極がマトリクス状に配置された表示パネルと、前記情報信号電極に情報信号を印加するように前記表示パネルの両側に配置された情報信号線ドライバと、これら両側の情報信号線ドライバに画像データおよびそのサンプリングクロックを転送する駆動コントローラとを備え、前記両側の情報信号線ドライバは前記サンプリングクロックにより前記画像データの信号から画像データをサンプリングして前記情報信号を生成する画像表示装置において、一方の側の情報信号線ドライバは前記サンプリングクロックの立上りのタイミングにおいて前記サンプリングを行い、他方の側の情報信号線ドライバは前記サンプリングクロックの立下りのタイミングにおいて前記サンプリングを行うものであることを特徴とする画像表示装置。

【請求項2】 前記画像データの信号は、各側の情報信号線ドライバ用の画像データを交互に含む各側の情報信号線ドライバに共通のものであり、前記サンプリングクロックは、前記画像データの転送周波数と同一周波数を有することを特徴とする請求項1に記載の画像表示装置。

【請求項3】 前記両側の情報信号線ドライバへの画像データの転送は、同一の画像データバスによって行われることを特徴とする請求項1または2に記載の画像表示装置。

【請求項4】 前記両側の情報信号線ドライバは、画像データのサンプリングをサンプリングクロックの立上りエッジのタイミングで行うかまたは立下りエッジのタイミングで行うかを設定可能な同一構成のドライバであることを特徴とする請求項1～3のいずれか1項に記載の画像表示装置。

【請求項5】 前記両側の情報信号線ドライバは同一構成を有し、画像データのサンプリングをサンプリングクロックの立上りエッジのタイミングで行うかまたは立下りエッジのタイミングで行うかを、実装時にハードパターンによって設定されるものであることを特徴とする請求項1～4のいずれか1項に記載の画像表示装置。

【請求項6】 前記表示パネルが液晶パネルであることを特徴とする請求項1～5のいずれか1項に記載の画像表示装置。

【請求項7】 前記液晶パネルは強誘電性液晶パネルであることを特徴とする請求項6に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像データ転送技術を改良した画像表示装置に関する。

【0002】

【従来の技術】 従来、画像表示装置として、たとえば、液晶駆動コントローラから情報信号線ドライバへ画像データを転送して画像を表示する液晶画像表示装置が知ら

れている。図2はこの従来の液晶画像表示装置のシステムブロック図である。同図において、1は走査信号電極と情報信号電極がマトリクス状に配置された液晶表示パネル、2は情報信号電極に情報信号を印加するように配置された情報信号線ドライバであるセグメントドライバ、3は走査信号線ドライバであるコモンドライバ、4-1は上側セグメントバス基板、4-2は下側セグメントバス基板、5はコモンバス基板、6は液晶駆動コントローラ、7(7-1、7-2)は画像データバス、8は画像データサンプリングクロック信号(SCLK)線、9は画像データ入力制御信号(SDI)線、10はラッチ信号(LATCH)線、11はコモン制御信号線群、12はグラフィックコントローラ、13は画像データバス、14は画像データサンプリングクロック信号(FCLK)線、15は画像データ転送イネーブル信号(ENABLE)線、16は水平同期信号(Hsync)線、17は垂直同期信号(Vsync)線である。

【0003】 図2に示す通り、液晶パネルのセグメントドライバ2の配置は、液晶パネル1への実装ピッチの制約や画像データサンプリングクロックの周波数の低減のために、情報信号線を液晶パネル1の上下両側に取り出して実装を行う「両側配置」となっている。そのため、液晶駆動コントローラ6からセグメントドライバ2への画像データの転送は、上側セグメントドライバ用の伝送線路(7-1)および下側セグメントドライバ用の伝送線路(7-2)の2系統を用いて、別々に行われている。

【0004】 そして、図3に示すように、液晶パネル1に対して並列に配列された各セグメントドライバ2(2-1、2-2、…、2-(n-1)、2-n)には画像データバス7、画像データサンプリングクロック信号(SCLK)線8およびラッチ信号(LATCH)線10が共通に接続されており、また画像データ入力制御信号(SDI)線9、SDO*(SDO1、…、SDOn-1)によって、各々がカスケード接続されている。このSDO*は各セグメントドライバ2より後述するタイミングにおいて出力される信号をも意味する。

【0005】 グラフィックコントローラ12はホストコンピュータからの画像データおよび制御信号を受け取り、図4、図5および図7に示すような所定の転送フォーマットにより、液晶駆動コントローラ6へ、画像データバス13の各バスID0～ID35の信号、サンプリングクロックFCLK、1水平走査期間(1H)を設定する水平同期信号Hsync、および1フレーム期間を設定する垂直同期信号Vsyncを転送する。

【0006】 ここでは、画像データバス13のバス幅を36ビット幅としている。これは、液晶パネル1の表示性能が、R、G、B各色6階調表現として、262,144色表示である場合、R、G、Bの3色について各6ビットずつ、上側セグメント用および下側セグメント用

データが液晶パネル1に2系統で送られ、したがって3×6×2=36ビットとなるからである。図6は各画像データバスID0~ID35と画像データとの対応の一例を示す図である。

【0007】図4に示す通り、各画像データは、信号ENABLEのHigh(ハイ)期間に有効なデータValidが転送され、図7に示す通り、サンプリングクロックFCLKの立上りエッジによって、液晶駆動コントローラ6にサンプリングされる。サンプリングされた画像データは、水平同期信号HsyncのHighのタイミングで1水平走査期間分(液晶パネルの1走査線分)の画像データとして、液晶駆動コントローラ6にラッチされる。信号VsyncおよびHsyncのHigh期間とその前後は、信号ENABLEはLow(ロー)とされ、この期間の画像データは、無効とされる(通常、この期間の画像データは、Lowとされる)。

【0008】液晶駆動コントローラ6から液晶表示パネル1への制御信号および画像データの転送は次のようにして行われる。すなわち、液晶駆動コントローラ6は、グラフィックコントローラ12からの信号VsyncおよびHsyncに基づいてコモンドライバ3の走査タイミング制御信号を生成し、コモン制御信号線群11を介してコモンバス基板5に送出する。また、前述のようにして液晶駆動コントローラ6にサンプリングおよびラッチされた画像データは、各18ビット幅の上側セグメントドライバ用データと下側セグメントドライバ用データとに分配され、各々18ビット幅の画像データバス7-1および7-2を介して、上側セグメントバス基板4-1および下側セグメントバス基板4-2に送出される。

【0009】図8は従来の上側のセグメントドライバ2への画像データの転送方式を示す。図9はその際の各画像データバスIDU0~IDU17と画像データとの対応の一例を示す図である。図8に示す通り、画像データは18ビット幅(IDU0~IDU17)で上側のセグメントドライバ2の全ドライバ分がシリアルに転送されており、その画像データの最初のデータ、すなわちデータUD0、UD1、…、UD16、UD17が送られると同時に、画像データ入力制御信号SDIがHighになる。すると図3の第1のセグメントドライバ2-1は、サンプリングクロックSCLKの立上りエッジによって画像データをサンプリングし始めると同時に、クロックSCLKのサイクル数のカウントを開始する。セグメントドライバの出力本数×階調数分の画像データをサンプリングした時点、例えばここでは240出力のセグメントドライバであるとする、クロックSCLKを80カウント(240本×6階調データ÷18ビットバス=80)した時点で、第1のセグメントドライバ2-1は画像データのサンプリングを完了すると共に、第2のセグメントドライバへの画像データ入力制御信号SDO1をHighとする。第2のセグメントドライバ2-2

は信号SDO1がHighとなってから、第1のセグメントドライバ2-1と同様に、データUD1440、UD1441、…、UD1456、UD1457からの画像データのサンプリングを行う。以降、同様にして、第3、第4、…のセグメントドライバ2-3、2-4、…も画像データのサンプリングを行う。

【0010】このように、従来、画像データの転送において、上側セグメントドライバ用データおよび下側セグメントドライバ用データを同様の転送方式により、図2の上側および下側の画像データバス7-1および7-2を介して別系統で転送している。そして、液晶駆動コントローラ6からセグメントドライバ2への画像データ転送において、画像データのサンプリングを常にサンプリングクロックSCLKの立上りエッジまたは立下りエッジのみで行っているため(ここでは立上りエッジのタイミングのみで行う場合について説明している)、データ転送周波数に対して、画像データのサンプリングクロックは2倍の周波数を必要としている。

【0011】

【発明が解決しようとする課題】ところで、液晶パネルの多表示色化、高精細化が進むにつれて、グラフィックコントローラ12から液晶駆動コントローラ6へ、および液晶駆動コントローラ6からセグメントドライバ2への画像データの転送量は増加の一途をたどっている。より多くの画像データの転送に対応していくためには、簡便には、データ転送のバス幅を広げたり、データ転送周波数を上げる等が考えられる。

【0012】しかしながら、バス幅を広げれば、プリント基板上の配線引回しの問題や、接続ケーブル本数、コネクタの増加などの問題が生じてくる。一方、クロック周波数やデータ転送周波数を上げることは、不要輻射ノイズ、システムの消費電力の増加、そして図2のセグメントバス基板4が非常に細長い基板であるという形状からくる伝送線路インピーダンス特性上の問題があり、信号の伝播遅延等を考えると、周波数を上げていくことにも限界が生じてくる。

【0013】本発明の目的は、このような従来技術の問題点に鑑み、画像表示装置において上述のような問題を生じることなく画像データの転送量の増加に対応できるようにすることにある。

【0014】

【課題を解決するための手段】この目的を達成するため本発明では、走査信号電極と情報信号電極がマトリクス状に配置された表示パネルと、前記情報信号電極に情報信号を印加するように前記表示パネルの両側に配置された情報信号線ドライバと、これら両側の情報信号線ドライバに画像データおよびそのサンプリングクロックを転送する駆動コントローラとを備え、前記両側の情報信号線ドライバは前記サンプリングクロックにより前記画像データの信号から画像データをサンプリングして前記情

報信号を生成する画像表示装置において、一方の側の情報信号線ドライバは前記サンプリングクロックの立上りのタイミングにおいて前記サンプリングを行い、他方の側の情報信号線ドライバは前記サンプリングクロックの立下りのタイミングにおいて前記サンプリングを行うものであることを特徴とする。

【0015】これによれば、従来、サンプリングクロックの立上りまたは立下りのどちらかのエッジのみで行っていた画像データのサンプリングを、一方の側の情報信号線ドライバはサンプリングクロックの立上りのタイミングにおいて、他方の側の情報信号線ドライバはサンプリングクロックの立下りのタイミングにおいて行うようにしたため、画像データのデータ転送経路を一系統化（バス幅を縮小）し、かつサンプリングクロック周波数を上げることなく、画像表示の多表示色化、高精細化等による画像データ転送量の増加に対応し得る画像表示装置の実現が図られる。

【0016】

【発明の実施の形態】本発明の好ましい実施形態においては、前記画像データの信号は、各側の情報信号線ドライバ用の画像データを交互に含む各側の情報信号線ドライバに共通のものであり、前記サンプリングクロックは、前記画像データの転送周波数と同一周波数を有する。また、両側の情報信号線ドライバへの画像データの転送は、同一の画像データバスによって行われる。この場合、サンプリングクロックの周波数を従来と同一とすれば、駆動コントローラからの画像データのバス幅が半分で済む。

【0017】前記両側の情報信号線ドライバとしては、画像データのサンプリングをサンプリングクロックの立上りエッジのタイミングで行うかまたは立下りエッジのタイミングで行うかを設定可能な同一構成のドライバを用いることができる。さらに前記両側の情報信号線ドライバは、同一構成を有し、画像データのサンプリングをサンプリングクロックの立上りエッジのタイミングで行うかまたは立下りエッジのタイミングで行うかを、実装時にハードパターンによって設定されるものであってもよい。これは具体的には、一方の側の情報信号線ドライバにはサンプリングクロックに対するインバータを設け、他方の側の情報信号線ドライバにはサンプリングクロックに対するバッファを設けることによって実現することができる。前記表示パネルとしては、たとえば、強誘電性液晶パネル等の液晶パネルを用いることができる。

【0018】

【実施例】〔実施例1〕図1は本発明の第1の実施例に係る液晶装置のシステムブロック図である。図中、1は走査信号電極と情報信号電極がマトリクス状に配置された液晶表示パネル、18および19は前記情報信号電極に情報信号を印加するように配置された上側セグメント

ドライバおよび下側セグメントドライバ、20はコモンドライバ、21-1は上側セグメントバス基板、21-2は下側セグメントバス基板、22はコモンバス基板、23-1はコモン・上側セグメント間接続線群、23-2はコモン・下側セグメント間接続線群、24はセグメントドライバ18および19に画像データ等を転送する液晶駆動コントローラ、25はセグメント共通データバス、26は画像データサンプリングクロック信号（SCLK）線、27は上側セグメント画像データ入力制御信号（USDI）線、28は下側セグメント画像データ入力制御信号（LSDI）線、29はラッチ信号（LATCH）線、30はコモン制御信号線群、31はグラフィックコントローラ、32は画像データバス、33は画像データサンプリングクロック信号（FCLK）線、34は画像データ転送イネーブル信号（ENABLE）線、35は水平同期信号（Hsync）線、36は垂直同期信号（Vsync）線である。

【0019】液晶駆動コントローラ24からデータバス25および信号線26、27、29を介して送出される画像データおよび信号SCLK、USDI、LATCHは、コモン・上側セグメント間接続線群23-1を介して、コモンバス基板22から上側セグメントバス基板21-1に供給される。同様に、液晶駆動コントローラ24からデータバス25および信号線26、28、29を介して送出される画像データおよび信号SCLK、LSDI、LATCHは、コモン・下側セグメント間接続線群23-2を介して、コモンバス基板22から下側セグメントバス基板21-2に供給される。

【0020】図10に示すように、液晶パネル1に対して並列に配置された各上側セグメントドライバ18-1、18-2、…、18-nにはセグメント共通データバス25、画像データサンプリングクロック信号（SCLK）線、およびラッチ信号（LATCH）線が共通に接続されており、また上側セグメント画像データ入力制御信号（USDI）線27およびUSDO*（USDO1、…、USDO_{n-1}）によって、各々がカスケード接続されている。USDO*は各上側セグメントドライバ18より、後述のタイミングにて出力される信号をも意味する。

【0021】グラフィックコントローラ31から液晶駆動コントローラ24までの画像データの転送は、上述の従来例と同様にして行われる。

【0022】以下、液晶駆動コントローラ24から液晶表示パネル1への制御信号および画像データの転送について説明する。液晶駆動コントローラ24は、グラフィックコントローラ31からの垂直同期信号Vsyncおよび水平同期信号Hsyncから、コモンドライバ20の走査タイミング信号を生成し、コモン制御信号線群30を介して、コモンバス基板22に送出する。

【0023】一方、液晶駆動コントローラ24にサンプ

リングおよびラッチされたグラフィックコントローラ31からの画像データは、セグメント共通データバス25、コモンバス基板22、コモン・上側セグメント間接続線群23-1、コモン・下側セグメント間接続線群23-2を介して、各々上側セグメントバス基板21-1および下側セグメントバス基板21-2に転送される。

【0024】図11は各セグメントドライバ18への画像データ転送方式を示す。同図に示す通り、画像データは18ビット幅(SCID0~SCID17)であり、上側セグメント用データ(UD*)および下側セグメント用データ(LD*)が画像データバス25を介して交互にシリアルに転送されている。その画像データの最初のデータ、すなわち上側セグメント用データUD0、UD1、…、UD16、UD17が送られると同時に、上側セグメント画像データ入力制御信号USDIがHighになる。すると図10の第1のセグメントドライバ18-1は、サンプリングクロックSCLKの立上りエッジによって、画像データをサンプリングし始めると同時に、クロックSCLKのサイクル数のカウントを開始する。セグメントドライバ18の出力本数×階調数分の画像データのサンプリングを終了した時点、例えばここでは出力本数が240出力とすると、クロックSCLKを80カウントした時点で、第1の上側セグメントドライバ18-1は画像データのサンプリングを完了すると共に、第2の上側セグメントドライバ18-2への画像データ入力制御信号USDO1をHighとする。第2の上側セグメントドライバ18-2は信号USDO1がHighとなってから、第1の上側セグメントドライバ18-1と同様に、画像データUD1440、UD1441、…、UD1456、UD1457からの画像データのサンプリングを行う。以降、同様にして、第3、第4、…の上側セグメントドライバ2-3、2-4、…も画像データのサンプリングを行う。

【0025】一方、図11に示すように、下側セグメント用データLD0、LD1、…、LD16、LD17が送られると同時に、下側セグメント画像データ入力制御信号LSDIがHighになると、図12に示した第1の下側セグメントドライバ19-1は、サンプリングクロックSCLKの立下りエッジによって、画像データをサンプリングし始めると同時に、クロックSCLKのサイクル数のカウントを開始する。それ以降は上側セグメントドライバ18と同様に、下側セグメントドライバ19による画像データのサンプリングを行う。

【0026】以上述べたように、液晶駆動コントローラ24からセグメントドライバ18および19への画像データ転送における画像データのサンプリングにおいて、上側セグメントドライバ18はサンプリングクロックSCLKの立上りエッジのタイミングにおいて、下側セグメントドライバ19はクロックSCLKの立下りエッジのタイミングでサンプリングを行うようにしたため、サ

ンプリングクロックSCLKの周波数と画像データの転送周波数は、同一となる。

【0027】従来例と比較すれば、上側セグメント用データと下側セグメント用データを同一バスでコモンバス基板経由で転送し、かつサンプリングクロックの立上りおよび立下りの両エッジでサンプリングする構成としたため、液晶駆動コントローラと液晶パネルとの間のバス幅は1/2となり、サンプリングクロックの周波数は同一である。

【0028】すなわち、従来はサンプリングクロックの立上りおよび立下りのどちらかのエッジのみで行っていた画像データのサンプリングを、サンプリングクロックの周波数とデータの転送周波数を同一とし、液晶パネルの両側に実装されたセグメントドライバにおいて、一方のセグメントドライバはサンプリングクロックの立上りエッジのタイミング、他方のセグメントドライバは立下りエッジのタイミングで行うようにしたため、データ転送経路を一系統化(バス幅を縮小)し、サンプリングクロック周波数を上げることなく、液晶パネルの多表示色化、高精細化に対応するために、最適な画像データ転送を実現することが可能となる。

【0029】本実施例では、上側セグメントドライバ18を立上りエッジでのサンプリング用に用い、下側セグメントドライバ19を立下りエッジでのサンプリング用に用いており、したがって別個の異なるセグメントドライバが必要であるが、以下の実施例2によれば、同一構成のセグメントドライバを上側および下側に用いて、同様の効果を得ることが可能となる。

【0030】[実施例2]図13および14は本発明の第2の実施例に係る液晶画像表示装置における上側および下側セグメントドライバの接続図である。上側セグメントドライバ18-1、18-2、…、18-(n-1)、18-nおよび下側セグメントドライバ19-1、19-2、…、19-(n-1)、19-nはそれぞれ図10および図12のものと同一のものである。また、入力される信号も、次に示す点を除けば、図10および図12の場合と同様である。

【0031】すなわち、図13に示すように、上側セグメントドライバ18へのサンプリングクロック(SCLK)ライン26にはバッファ131が、また、図14に示すように、下側セグメントドライバ19へのサンプリングクロック(SCLK)ライン26にインバータ141が挿入されている。バッファ131はインバータ141と遅延時間を同一とするために挿入してある。インバータ141によってサンプリングクロックSCLKの極性を反転させ、その反転したクロックにより、データのサンプリングおよびクロックのカウントを行うことにより、上側および下側セグメントドライバに同一のドライバ(立上りエッジサンプリングを行うドライバ)を用いて、実施例1と同様の効果を得ることが可能となる。

【0032】[実施例3] 図15は本発明の第3の実施例に係る液晶画像表示装置におけるセグメントドライバの構成を示すブロック図である。図中、37は画像データサンプリングクロックSCLK、ラッチ信号LATCHおよび画像データ入力制御信号SDI(USDI、LSDI、USDO*、LSDO*)を受けて、画像データのサンプリングおよびラッチのタイミングを制御するコントロール回路、38はセグメント共通データバス25から画像データを受け取るデータマルチプレクサ、39はデータマルチプレクサ38からのデータをラッチするデータラッチ、40はデータラッチ39のデータを所定の液晶パネル駆動電圧に変換するレベルシフト回路、41は液晶パネルの駆動を行うドライバ回路である。

【0033】このセグメントドライバ18または19は端子SDPによって、サンプリングエッジの方向設定、すなわちサンプリングクロックの立上りのタイミングまたは立下りのタイミングのいずれにおいてサンプリングを行うかの設定を行うことが可能な構成となっている。

【0034】図16はこの上側セグメントドライバ18(18-1、18-2、…、18-(n-1)、18-n)の接続図、図17は下側セグメントドライバ19(19-1、19-2、…、19-(n-1)、19-n)の接続図である。例えば図16および17に示す通り、ロジック電位VDDにプルアップすることで「立上りエッジサンプリング」を行い、接地電位にプルダウンすることで「立下りエッジサンプリング」を行うように端子SDPを介して設定できるようにすれば、第2の実施例のような外付けのバッファやインバータ無しに同様の効果を得ることが可能となる。

【0035】

【発明の効果】以上説明したように本発明によれば、従来はサンプリングクロックの立上りまたは立下りのどちらかのエッジのみで行っていた画像データのサンプリングを、一方の側のセグメントドライバはサンプリングクロックの立上りエッジのタイミングで行い、他方の側のセグメントドライバは立下りエッジのタイミングで行うようにしたため、駆動コントローラからの画像データのデータ転送経路を一系統化(バス幅を縮小)し、サンプリングクロック周波数を上げることなく、液晶パネルの多表示色化や高精細化による画像データ量の増加に適切に対応し得る画像表示装置を実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る液晶画像表示装置のシステムブロック図である。

【図2】 従来の液晶画像表示装置のシステムブロック図である。

【図3】 図2の液晶画像表示装置のセグメントドライバの接続ブロック図である。

【図4】 図2の液晶画像表示装置のグラフィックコン

トローラから液晶駆動コントローラへの信号転送フォーマット図である。

【図5】 図2の液晶画像表示装置のグラフィックコントローラから液晶駆動コントローラへの縮小した信号転送フォーマット図である。

【図6】 グラフィックコントローラから液晶駆動コントローラへの画像データバスと画像データの対応例を示す図である。

【図7】 図2の液晶画像表示装置のグラフィックコントローラから液晶駆動コントローラへの拡大した信号転送フォーマット図である。

【図8】 図2の液晶画像表示装置の液晶駆動コントローラからセグメントドライバへの信号転送フォーマット図である。

【図9】 液晶駆動コントローラからセグメントドライバへの画像データバスと画像データの対応例を示す図である。

【図10】 図1の液晶画像表示装置の上側セグメントドライバの接続ブロック図である。

【図11】 図1の液晶画像表示装置のグラフィックコントローラから液晶駆動コントローラへの信号転送フォーマット図である。

【図12】 図1の液晶画像表示装置の下側セグメントドライバの接続ブロック図である。

【図13】 本発明の第2の実施例に係る液晶画像表示装置の上側セグメントドライバの接続ブロック図である。

【図14】 図13の実施例における下側セグメントドライバの接続ブロック図である。

【図15】 本発明の第3の実施例に係る液晶画像表示装置におけるセグメントドライバの構成を示すブロック図である。

【図16】 図15の実施例における上側セグメントドライバの接続ブロック図である。

【図17】 図15の実施例における下側セグメントドライバの接続ブロック図である。

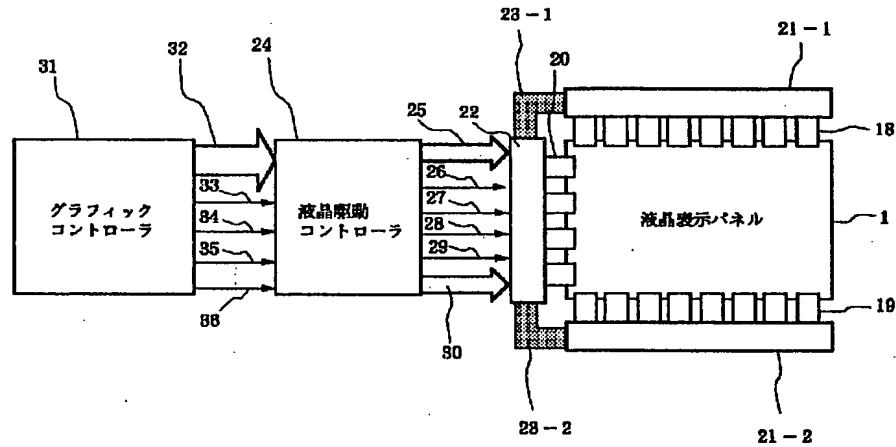
【符号の説明】

1:液晶表示パネル、2:セグメントドライバ、3:コモンドライバ、4:セグメントバス基板、5:コモンバス基板、6:液晶駆動コントローラ、7:画像データバス、8、26:画像データサンプリングクロック信号(SCLK)線、9:セグメント画像データ入力制御信号(SDI)線、10、29:ラッチ信号(LATCH)線、11、30:コモン制御信号線群、12、31:グラフィックコントローラ、13、32:画像データバス、14、33:画像データサンプリングクロック信号(FCLK)線、15、34:イネーブル信号(ENABLE)線、16、35:水平同期信号(Hsync)線、17、36:垂直同期信号(Vsync)線、18:上側セグメントドライバ、19:下側セグメント

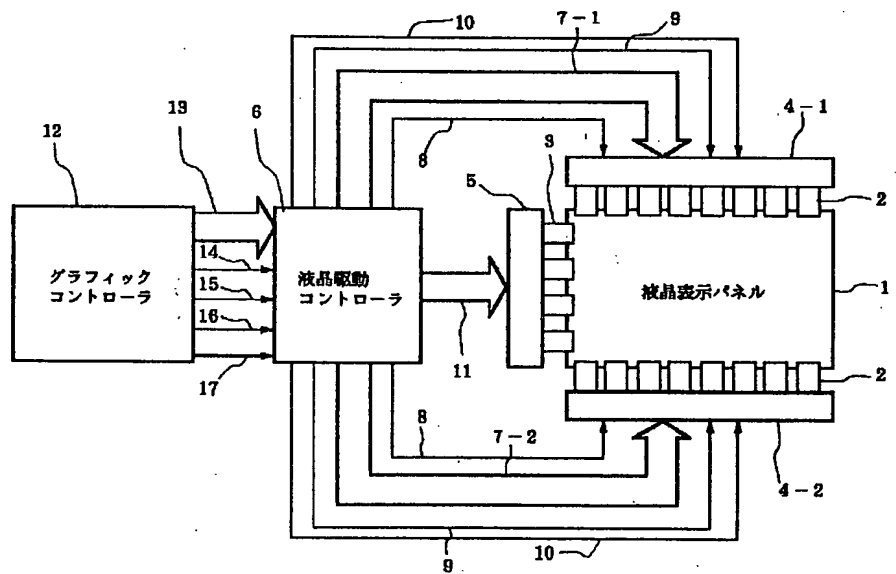
ドライバ、20:コモンドライバ、21:セグメントバス基板、22:コモンバス基板、23:コモン・セグメント間接続線群、24:液晶駆動コントローラ、25:セグメント共通データバス、27:上側セグメント画像データ入力制御信号(USD I)線、28:下側セグメ

ント画像データ入力制御信号(LSD I)線、37:コントロール回路、38:データマルチプレクサ、39:データラッチ、40:レベルシフト回路、41:ドライバ回路。

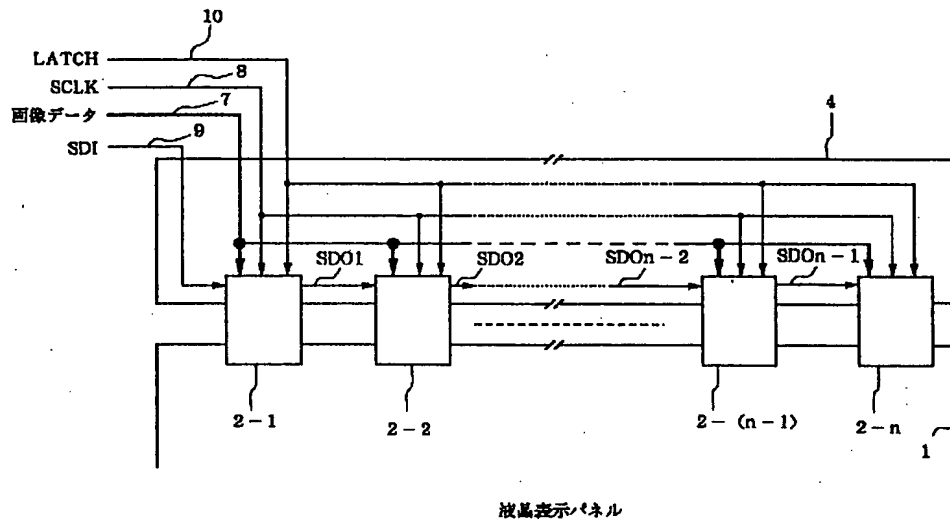
【図1】



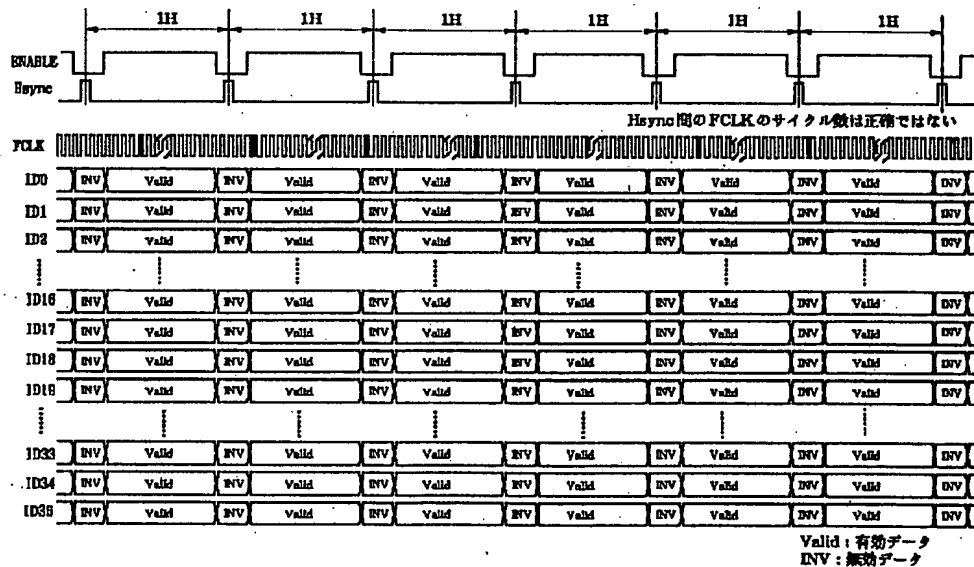
【図2】



【図3】



【図4】



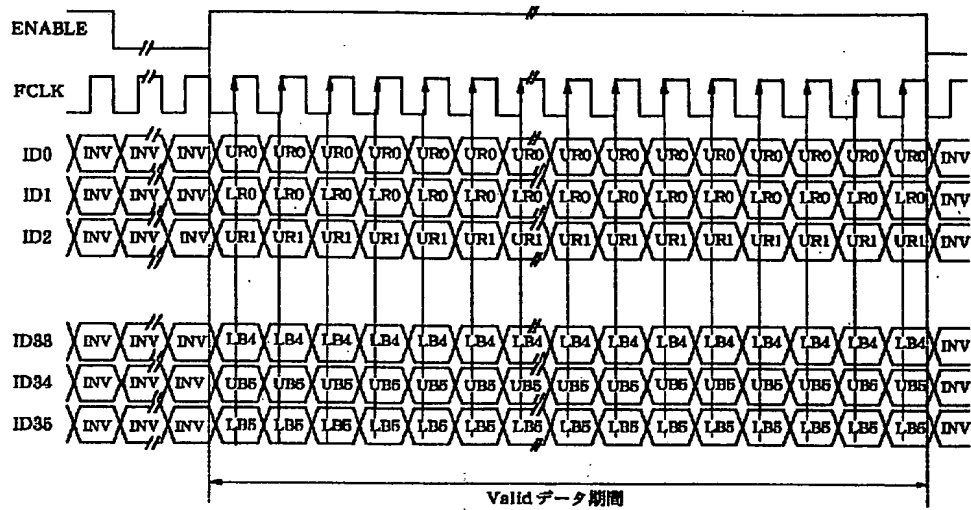
[illegible]

【図9】

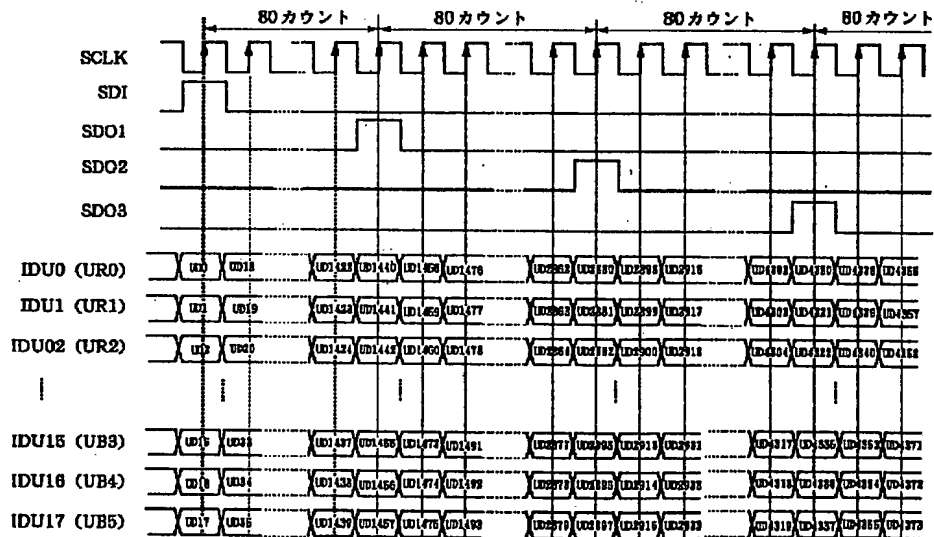
データバス	記号	
ID0	UR0	上側セグメントRの1ビット目のデータ
ID1	LR0	下側セグメントRの1ビット目のデータ
ID2	UR1	上側セグメントRの2ビット目のデータ
ID3	LR1	下側セグメントRの2ビット目のデータ
ID4	UR2	上側セグメントRの3ビット目のデータ
ID5	LR2	下側セグメントRの3ビット目のデータ
ID6	UR3	上側セグメントRの4ビット目のデータ
ID7	LR3	下側セグメントRの4ビット目のデータ
ID8	UR4	上側セグメントRの5ビット目のデータ
ID9	LR4	下側セグメントRの5ビット目のデータ
ID10	UR5	上側セグメントRの6ビット目のデータ
ID11	LR5	下側セグメントRの6ビット目のデータ
ID12	UG0	上側セグメントGの1ビット目のデータ
ID13	LG0	下側セグメントGの1ビット目のデータ
ID14	UG1	上側セグメントGの2ビット目のデータ
ID15	LG1	下側セグメントGの2ビット目のデータ
ID16	UG2	上側セグメントGの3ビット目のデータ
ID17	LG2	下側セグメントGの3ビット目のデータ
ID18	UG3	上側セグメントGの4ビット目のデータ
ID19	LG3	下側セグメントGの4ビット目のデータ
ID20	UG4	上側セグメントGの5ビット目のデータ
ID21	LG4	下側セグメントGの5ビット目のデータ
ID22	UG5	上側セグメントGの6ビット目のデータ
ID23	LG5	下側セグメントGの6ビット目のデータ
ID24	UB0	上側セグメントBの1ビット目のデータ
ID25	LB0	下側セグメントBの1ビット目のデータ
ID26	UB1	上側セグメントBの2ビット目のデータ
ID27	LB1	下側セグメントBの2ビット目のデータ
ID28	UB2	上側セグメントBの3ビット目のデータ
ID29	LB2	下側セグメントBの3ビット目のデータ
ID30	UB3	上側セグメントBの4ビット目のデータ
ID31	LB3	下側セグメントBの4ビット目のデータ
ID32	UB4	上側セグメントBの5ビット目のデータ
ID33	LB4	下側セグメントBの5ビット目のデータ
ID34	UB5	上側セグメントBの6ビット目のデータ
ID35	LB5	下側セグメントBの6ビット目のデータ

データバス	記号	
ID0	UR0	上側セグメントRの1ビット目のデータ
ID1	UR1	上側セグメントRの2ビット目のデータ
ID2	UR2	上側セグメントRの3ビット目のデータ
ID3	UR3	上側セグメントRの4ビット目のデータ
ID4	UR4	上側セグメントRの5ビット目のデータ
ID5	UR5	上側セグメントRの6ビット目のデータ
ID6	UG0	上側セグメントGの1ビット目のデータ
ID7	UG1	上側セグメントGの2ビット目のデータ
ID8	UG2	上側セグメントGの3ビット目のデータ
ID9	UG3	上側セグメントGの4ビット目のデータ
ID10	UG4	上側セグメントGの5ビット目のデータ
ID11	UG5	上側セグメントGの6ビット目のデータ
ID12	UB0	上側セグメントBの1ビット目のデータ
ID13	UB1	上側セグメントBの2ビット目のデータ
ID14	UB2	上側セグメントBの3ビット目のデータ
ID15	UB3	上側セグメントBの4ビット目のデータ
ID16	UB4	上側セグメントBの5ビット目のデータ
ID17	UB5	上側セグメントBの6ビット目のデータ

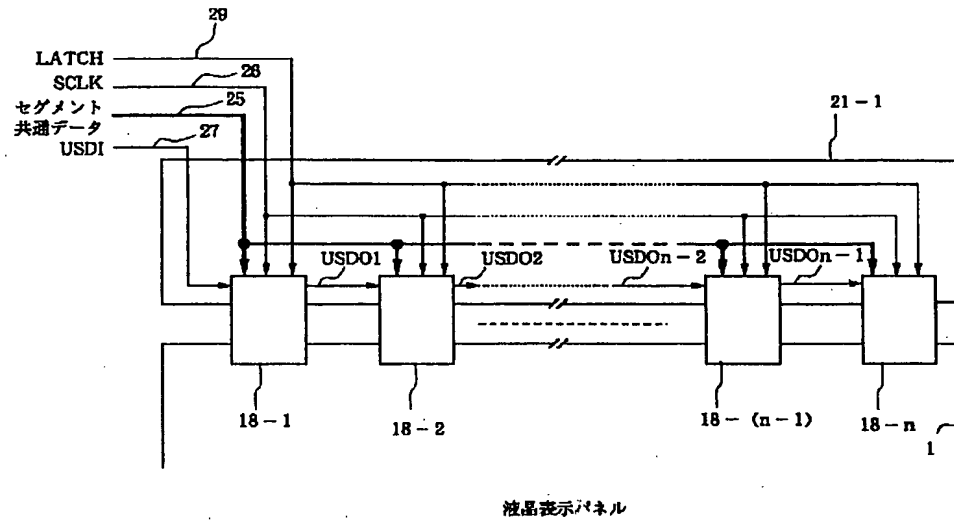
【図7】



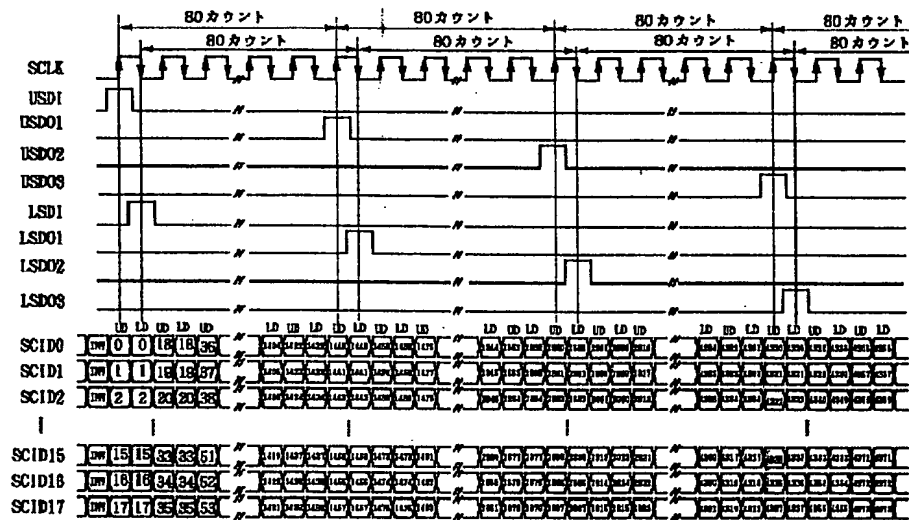
【図8】



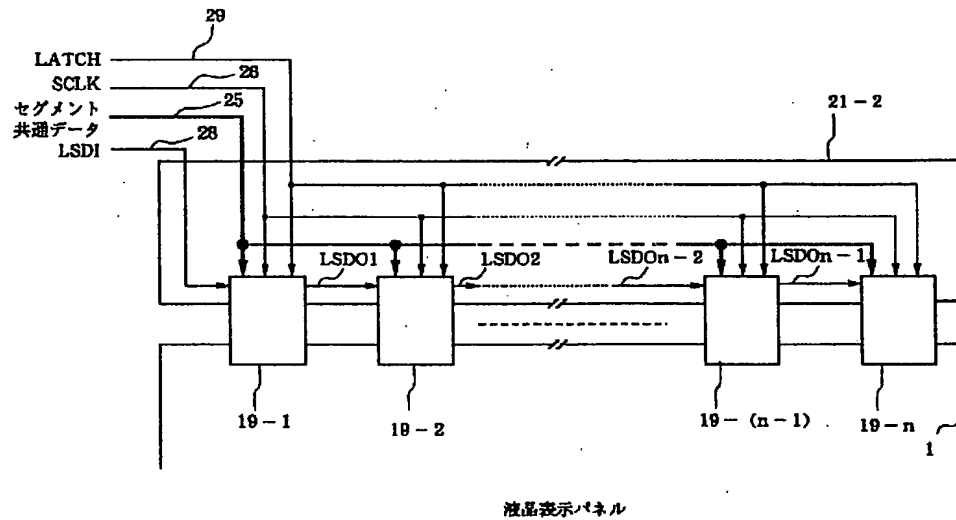
【図10】



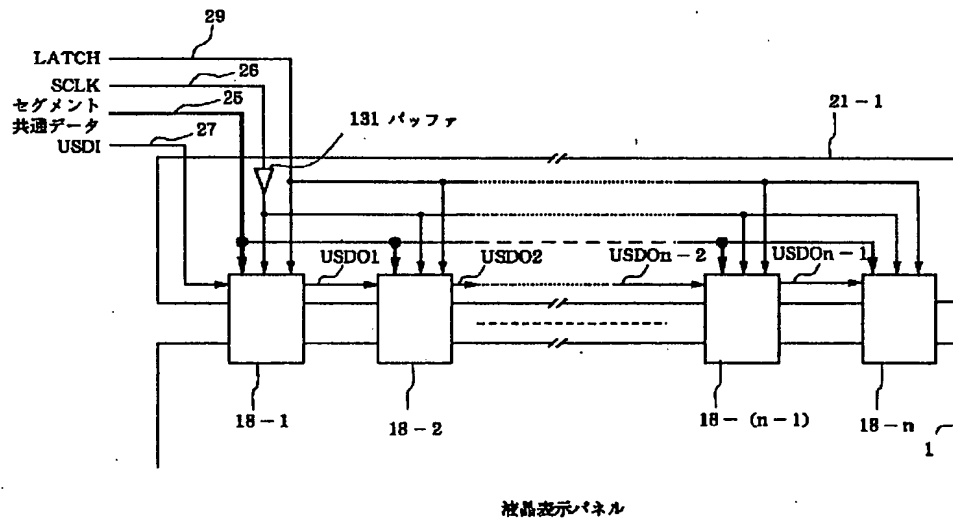
【図11】



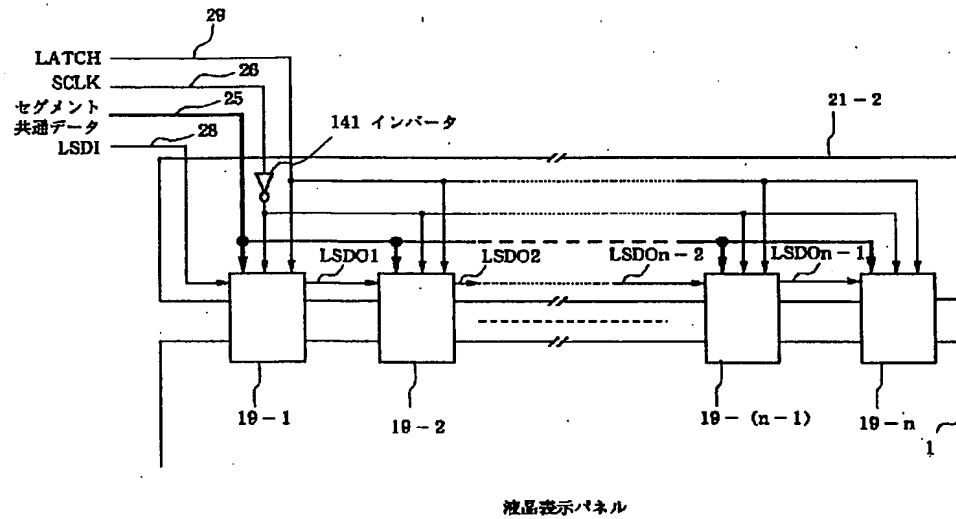
【図12】



【図13】



【図14】



【図15】

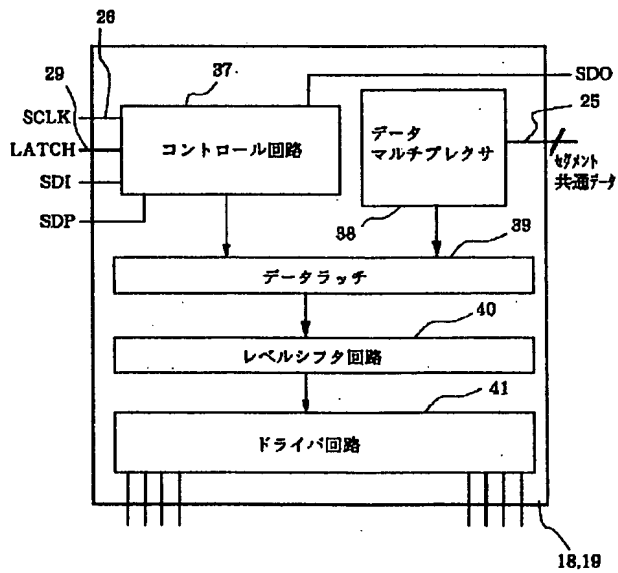


Figure 1 is a block diagram of a liquid crystal display panel. It shows a series of pixel blocks (18-1, 18-2, ..., 18-(n-1), 18-n) connected in a chain. Each pixel block receives signals from a common data bus (21-1) and a segment bus (25). The signals are labeled LATCH (29), SCLK (28), and USDI (27). The pixel blocks are also connected to a VDD line. The diagram is labeled "液晶表示パネル" (Liquid Crystal Display Panel) at the bottom.

Figure 1 is a block diagram of a liquid crystal display panel (液晶表示パネル). It shows a sequence of driving units (19-1, 19-2, ..., 19-(n-1), 19-n) connected to a common data bus (21-2). The units are controlled by LATCH, SCLK, and segment data (25) signals. The first unit (19-1) is also connected to a common data bus (28) and an LSDI signal. The units are connected to a common data bus (21-2) via LSDO1, LSDO2, ..., LSDOn-2, LSDOn-1 signals. The units are also connected to a common data bus (21-2) via a common data bus (21-2) signal.

F ターム(参考) 2H093 NA11 NA43 NA53 NA64 NC12
NC16 NC23 NC26 NC27 ND06
ND17 ND20 ND34 ND39 ND40
ND52 NF19
5C006 AF51 BA12 BB11 BC13 BF04
BF11 BF27 FA13 FA42 FA48
5C080 AA10 BB05 DD08 DD12 DD23
JJ02 JJ04